

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-200831

(43)Date of publication of application : 18.07.2000

(51)Int.Cl.

H01L 21/762

H01L 21/31

H01L 21/316

H01L 21/76

(21)Application number : 10-377123

(71)Applicant : NEC CORP

(22)Date of filing : 30.12.1998

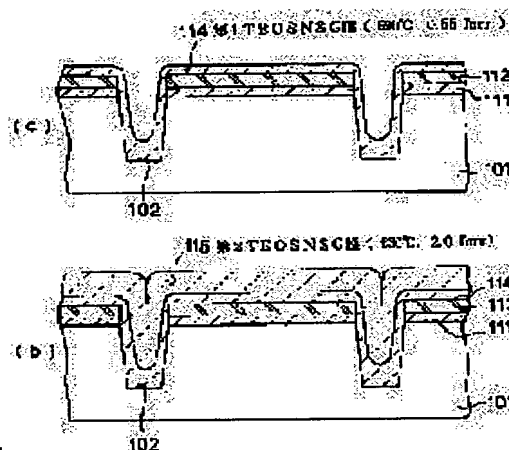
(72)Inventor : ABE JUNICHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device having an STI(shallow groove buried element isolation) structure, which can generate no void when an insulating film is buried in grooves formed in a semiconductor substrate, and prevent the characteristics of an element, which is formed on the substrate, from being deteriorated.

SOLUTION: The manufacture wherein grooves 102 are formed in the surface of a semiconductor substrate 101 and an insulating film formed by decomposing TEOS gas is buried in the grooves 102 to form an STI structure is conducted. In this case, an insulating film filling process comprises a first growth process for growing a first tetraethoxysilane un-doped silicate glass(TEOSNSG) film 114 formed by being subjected to vapor thermal decomposition the TEOS gas and a second growth process for growing a second TEOSNSG film 115 formed by being subjected to surface thermal decomposition the TEOS gas on the surface of the substrate 101. With a uniform film, which does not depend upon the surface profile of the substrate 101, formed of the film 114, the aspect ratio of the grooves 102 is relaxed and the interiors of the grooves 102 are filled with the film 115, whereby it becomes possible to bury the insulating film in the grooves at a high efficiency without generating voids.



LEGAL STATUS

[Date of request for examination] 18.03.1999

[Date of sending the examiner's decision of rejection] 26.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3380958

[Date of registration] 20.12.2002

[Number of appeal against examiner's decision of rejection] 2002-05296

[Date of requesting appeal against examiner's decision of rejection] 28.03.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the manufacture approach of a semiconductor device including the process which forms a slot in the front face of a semi-conductor substrate, and the process which embeds the insulator layer generated by decomposing TEOS (tetra-ethoxy silane) gas into said Mizouchi The 1st growth process which grows the 1st insulator layer to which the embedding process of said insulator layer carried out gaseous-phase pyrolysis of said TEOS gas on said semi-conductor substrate, The manufacture approach of the semiconductor device characterized by constituting the 2nd insulator layer which carried out surface pyrolysis of said TEOS gas on the front face of said semi-conductor substrate from the 2nd growth process which grows on said semi-conductor substrate.

[Claim 2] It is the manufacture approach

of a semiconductor device according to claim 1 that said 1st growth process performs said TEOS gas in the ambient atmosphere beyond gaseous-phase pyrolysis temperature, and said 2nd growth process performs said TEOS gas in a low-temperature ambient atmosphere rather than said gaseous-phase pyrolysis temperature.

[Claim 3] The manufacture approach of a semiconductor device according to claim 2 of performing said 1st growth process by elevated-temperature low voltage vapor growth, and performing said 2nd growth process by low-temperature high-pressure vapor growth.

[Claim 4] Said gaseous-phase pyrolysis temperature is the manufacture approach of the semiconductor device according to claim 2 or 3 which is 650 degrees C - 750 degrees C.

[Claim 5] It is the manufacture approach of a semiconductor device according to claim 4 that said 1st growth process performs gaseous-phase pyrolysis growth in a temperature requirement 650 degrees C or more, and said 2nd growth process performs surface pyrolysis growth in 580-degree-C or more less than 650-degree C temperature requirement.

[Claim 6] Said slot is the manufacture approach of the semiconductor device according to claim 1 to 5 which is formed in the component isolation region of the semiconductor device formed in said semi-conductor substrate, and forms

ditch type component isolation construction by said insulator layer embedded at said Mizouchi.

[Claim 7] Said slot is the manufacture approach of a semiconductor device according to claim 6 that aspect ratios (a channel depth/flute width) are 1.5-3.

[Claim 8] It is the manufacture approach of the semiconductor device according to claim 7 which forms said 2nd insulator layer in the thickness which embeds said slot completely by said depth of flute's being 0.3 micrometers of abbreviation, and a flute width's being 0.2 micrometers of abbreviation, and forming said 1st insulator layer in 0.01-0.05-micrometer thickness.

[Claim 9] The process which carries out sequential formation of silicon oxide and the silicon nitride at a semi-conductor substrate, and forms a resist on it, The process which carries out patterning of said resist and carries out opening of the opening aperture to a component isolation region, The process which spaces the opening aperture of said resist and carries out etching removal of said silicon nitride and silicon oxide, The process which uses said silicon nitride as a mask and forms a slot in said semi-conductor substrate after removing said resist, The 1st growth process which carries out gaseous-phase pyrolysis of the TEOS gas on elevated-temperature low voltage conditions, and grows up thinly the 1st TEOSNSG (NSG: non dope

silicate glass) film obtained to be the front face of said semi-conductor substrate, The 2nd growth process which grows on the front face of said 1st TEOSNSG film so that it may become thickness thicker than said depth of flute about the 2nd TEOSNSG film obtained by carrying out surface pyrolysis of said TEOS gas on the front face of said semi-conductor substrate by low-temperature high-pressure conditions, The manufacture approach of the semiconductor device characterized by including the process which grinds said 2nd [the] on the front face of said silicon substrate, and the 1st TEOSNSG film in chemical machinery, removes them, and leaves only said Mizouchi said 1st and 2nd TEOSNSG film.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the method of performing suitably embedding of the insulator layer to Mizouchi for isolation of minute width of face shallowly especially accompanying high integration of a semiconductor device about the slot embedded component discrete-type semiconductor device which embeds an insulator layer

in the slot formed in the semi-conductor substrate, and performs isolation.

[0002]

[Description of the Prior Art] As component isolation construction for carrying out insulating separation of between the components formed in a semi-conductor substrate with high integration of a semiconductor device, and detailed-izing of a semiconductor device, from the conventional LOCOS mold component isolation construction, a slot is formed in a semi-conductor substrate and the ditch type component isolation construction which embeds an insulator layer at this Mizouchi is adopted. Especially, in recent years, the further detailed-ization of a component is achieved and the channel depth is reduced with contraction of that flute width also in ditch type component isolation construction with this detailed-izing. For example, utilization of the vadum embedded isolation (STI:Shallow Trench Isolation) structure where a flute width is [a channel depth] about 0.3 micrometers in 0.2 micrometers is attained. Such a manufacture approach of vadum embedded component structure is explained with reference to drawing 7.

[0003] First, like drawing 7 (a), silicon oxide 111 is formed in the front face of a silicon substrate 101 by thermal oxidation, the silicon nitride 112 is further formed on it, and the photoresist

film 113 is formed on it. And said photoresist film of a component isolation region is removed alternatively, and opening of the opening aperture 113a is carried out. Subsequently, said photoresist is used as a mask, said silicon nitride 112 and silicon oxide 111 are etched, and opening of the opening apertures 112a and 111a is carried out, respectively. And after removing said photoresist film 113, the front face of said silicon substrate 101 is etched even into the necessary depth by using said silicon nitride 112 as a mask like drawing 7 (b), and the detailed and shallow slot 102 for isolation is formed. Subsequently, the silicon oxide (the TEOSNSG film is called hereafter (NSG: non dope silicate glass)) 131 obtained by low voltage vapor growth (LPCVD law) by decomposing TEOS (tetra-ethoxy silane) is grown up on the front face of said silicon substrate 101 like drawing 7 (c), and said slot 102 is embedded with this TEOSNSG film 131. Its surface migration (surface migration) of a membranous precursor is large, and since comparatively good step coverage is obtained, said TEOSNSG film 131 is effective when embedding in a slot 102. Like drawing 7 (d), by the chemical machinery grinding method (the CMP method), etching polish of a part of said TEOSNSG film 131 and silicon nitride 112 is carried out, and etching removal of removal, and the silicon nitride 112 and silicon oxide 111 which were left behind

further is carried out in an appropriate top. Thereby, said TEOSNSG film 131 is left behind in the condition of having been embedded only in said slot 102, and STI structure is formed.

[0004] By the way, in manufacture of such STI structure, if the width method of a slot 102 is reduced with detailed-izing of a component and the aspect ratio (the depth/flute width) of a slot 102 increases in connection with this, as a broken line shows to drawing 7 (c) and (d), a void (opening) 132 will occur in the embedded TEOSNSG film. If such a void occurs, the processing liquid in a back process etc. will invade in a void 132, and will cause [of a semiconductor device] contamination, or an isolation property will deteriorate. In order to prevent generating of such a void, in JP,10-178000,A In case mixing-ization with TEOS gas and ozone gas is performed and silicon oxide is grown up By detaching the supply location of TEOS gas and ozone gas, controlling mixing-ization with the TEOS gas in the inside of the gaseous phase of a reaction chamber, and ozone gas, and promoting mixing-ization for TEOS gas and ozone gas on the front face of a substrate The flow property of the TEOS film could be made high, the restoration nature of the silicon oxide to Mizouchi has been improved, and generating of a void is controlled.

[0005]

[Problem(s) to be Solved by the Invention] Although it is effective when mixing-izing TEOS gas and ozone gas with a technique given in this official report and growing up silicon oxide, when growing up the TEOSNSG film obtained by decomposing TEOS gas on a silicon substrate like the manufacture approach shown in drawing 7, since ozone gas does not exist, the technique of an official report cannot be applied as it is. Moreover, since TEOS gas and ozone gas are mixing-ized in the front face of a substrate, i.e., the inside of a slot, with the technique of a publication in the official report, It is difficult to make ring main advance even into Mizouchi, if the aspect ratio of a slot becomes large with detailed-izing of a semiconductor device, without making TEOS gas and ozone gas mixing-ize. Therefore, mixing-ization will occur near the opening of a slot, silicon oxide with a low flow property will be formed like mixing-izing in a gaseous phase as a result, and it will become difficult to prevent a void effectively.

[0006] The purpose of this invention is to offer the manufacture approach of the semiconductor device of the STI structure which can prevent property degradation of the component formed in a semi-conductor substrate while preventing effectively generating of the void in the silicon oxide embedded to Mizouchi.

[0007]

[Means for Solving the Problem] In the manufacture approach of a semiconductor device including the process at which this invention forms a slot in the front face of a semiconductor substrate, and the process which embeds the insulator layer generated by decomposing TEOS gas into said Mizouchi The 1st growth process which grows the 1st insulator layer to which the embedding process of said insulator layer carried out gaseous-phase pyrolysis of said TEOS gas on said semiconductor substrate, It is characterized by constituting the 2nd insulator layer which carried out surface pyrolysis of said TEOS gas on the front face of said semiconductor substrate from the 2nd growth process which grows on said semiconductor substrate. Here, said 1st growth process performs said TEOS gas in the ambient atmosphere beyond gaseous-phase pyrolysis temperature, and said 2nd growth process performs said TEOS gas in a low-temperature ambient atmosphere rather than said gaseous-phase pyrolysis temperature. That is, said 1st growth process is performed by elevated-temperature low voltage vapor growth, and said 2nd growth process is performed by low-temperature high-pressure vapor growth. Here, said gaseous-phase pyrolysis temperature is 650 degrees C - 750 degrees C, in this case, said 1st growth process performs gaseous-phase

pyrolysis growth in a temperature requirement 650 degrees C or more, and said 2nd growth process performs surface heat growth in 580-degree-C or more less than 650-degree C temperature requirement.

[0008] Moreover, in the manufacture approach of this invention, said slot is constituted as what is formed in the component isolation region of the semiconductor device formed in said semiconductor substrate, and forms ditch type component isolation construction by said insulator layer embedded at said Mizouchi. In this case, as for said slot, it is desirable that aspect ratios (a channel depth/flute width) are 1.5-3. For example, said depth of flute is 0.3 micrometers of abbreviation, a flute width is 0.2 micrometers of abbreviation, said 1st insulator layer is formed in 0.01-0.05-micrometer thickness, and said 2nd insulator layer is formed in the thickness which embeds said slot completely.

[0009]

[Embodiment of the Invention] Next, the operation gestalt of this invention is explained with reference to a drawing. When drawing 1 was referred to, and this invention person decomposed TEOS gas in a CVD system and embedded silicon oxide 103 in the slot 102 of a silicon substrate 101, it grew up by changing the CVD condition. That is, when TOES gas was decomposed in a CVD system, it is

temperature higher than the gaseous-phase pyrolysis temperature of TEOS gas, and CVD conditions were grown up with low voltage. Here, temperature of a CVD system was set into 690 degrees C, and the pressure was set to 0.55Torr(s). Thus, if CVD in an elevated temperature is performed, TEOS gas will carry out gaseous-phase pyrolysis within a CVD system, and it will grow up on a silicon substrate. For this reason, the TEOSNSG film grows in the low, growth in the condition with little effect of the surface state of a silicon substrate, i.e., a substrate dependency, condition. When embedding of silicon oxide was performed into the slot formed in the silicon substrate 101 on this condition, as shown in drawing 1 (a), the TEOSNSG film 103 grew up to be homogeneity on the front face of a silicon substrate 101, but if the aspect ratio of a slot 102 becomes high, the TEOSNSG film 103 which grew up to be the opposite edge of opening of a slot 102 contacts mutually, and it will be in the condition that the void 104 occurred in the slot 102. [0010] On the other hand, it is temperature lower than the gaseous-phase pyrolysis temperature of TEOS gas, and CVD conditions were grown up with high pressure. Here, temperature of a CVD system was set into 630 degrees C, and the pressure was set to 2.0Torr(s). Thus, if CVD in low temperature is performed, when TEOS

gas contacts on the surface of a silicon substrate within a CVD system, surface pyrolysis will be carried out and it will grow up on a silicon substrate. For this reason, the TEOSNSG film grows in the high, growth in the condition that the effect of the surface state of a silicon substrate is large, i.e., a substrate dependency, condition. In order that the TEOSNSG film 103 may grow [as shown in drawing 1 (b),] when the aspect ratio of a slot 102 becomes high, and the inside of a TEOS gas fang furrow is contacted when embedding of silicon oxide is performed into the slot 102 formed in the silicon substrate 101 on this condition, suitable embedding becomes possible, without a void occurring in a slot 102.

[0011] However, on this condition, since the substrate dependency is high, as shown in drawing 1 (c) When the TEOSNSG film in said conditions is grown up to the silicon substrate of a large area like wafer-like W [silicon substrate 101] With the foreign matter X which exists on the surface of a silicon substrate, the thickness unevenness 105 of the shape of a spot by which growth of the TEOSNSG film 103 in the field was controlled arose, and it was checked that the TEOSNSG film 103 of uniform thickness cannot be grown up all over being silicon substrate 101W. In early stages of growth of the TEOSNSG film, the so-called incubation time to which advance of growth does not progress

generates this. although an atomic nucleus is formed into this incubation time -- the delicate difference in the surface state of a substrate -- an incubation time -- very much -- unstable -- becoming -- this -- the shape of a wafer -- it becomes the difference in the local thickness on the front face which is silicon substrate 101W, and it is thought that it appears. If such thickness of the TEOSNSG film becomes an ununiformity, in etching polish by the CMP method of a back process, in the thin field of thickness, etching polish of the front face of a silicon substrate will be carried out too much, and it will become the factor which degradation of the property of the semiconductor device formed in the field at a back process or the defect of a semiconductor device generates.

[0012] then, in this invention, as 1st growth process of the insulator layer embedded at Mizouchi The TEOSNSG film is grown up on the conditions in which TEOS gas carries out gaseous-phase pyrolysis into the gaseous phase of a CVD system, i.e., the low growth conditions of a substrate dependency, to a certain amount of thickness on a silicon substrate. Subsequently The TEOSNSG film is superimposed and it grows up on the conditions which carry out surface pyrolysis as 2nd growth process when TEOS gas touched on the surface of the substrate on it, i.e., the conditions that a

substrate dependency is high. Thus, by this invention, at the 1st growth process of the insulator layer embedded at Mizouchi, since the substrate dependency is low, it carries out that a foreign matter exists in the front face of a wafer-like silicon substrate part etc., and though the part where surface states differ exists, uniform thickness grows all over a wafer-like silicon substrate, without the being influenced. Moreover, by controlling the growth thickness of the TEOSNSG film at this time proper, it grows up in the condition that a void is not generated in Mizouchi, and the aspect ratio of a slot is eased. Moreover, in the part in which the foreign matter of a wafer-like silicon substrate exists, it grows up to be the condition of covering a foreign matter. However, at this 1st growth process, since a film growth rate is stopped low, the throughput of film growth becomes low only by this 1st growth process.

[0013] And at the 2nd growth process, since the TEOSNSG film grows up to be homogeneity on the front face of a silicon substrate since the substrate dependency is high, and the TEOSNSG film of the 1st growth process has already grown to be Mizouchi by a certain amount of thickness in that case, it is in the condition that the aspect ratio of a slot was eased, and the embedding of the TEOSNSG film to Mizouchi becomes possible, without a void occurring in

Mizouchi. Since the TEOSNSG film which grew at the 1st growth process exists in the front face of a wafer-like silicon substrate on the other hand and the effect of a foreign matter is eased with this TEOSNSG film, the TEOSNSG film grows up to be uniform thickness all over a silicon substrate. Thereby, while preventing generating of the void in Mizouchi, growth of the TOESNSG film is attained all over a silicon substrate at homogeneity. Therefore, also in a subsequent CMP process, etching polish of the front face of a silicon substrate is not carried out too much partially, and property degradation and defect generating of a semiconductor device are prevented. Moreover, at the 2nd growth process, it is possible to make a film growth rate high, and the throughput of film growth can be improved.

[0014] Here, generally the range of the temperature in which TEOS gas carries out gaseous-phase pyrolysis is 650 degrees C - 750 degrees C, the 1st process is performed at the temperature of 650 degrees C or more, and the 2nd process is performed at low temperature rather than 650 degrees C. Moreover, the upper limit of each pressure in the 1st process and 2nd process is a pressure which does not degrade the membranous quality of the TEOSNSG film, and the minimum of each pressure is a pressure to which the growth rate of the TEOSNSG film does not fall extremely.

[0015] Drawing 2 thru/or drawing 4 are the sectional views showing the operation gestalt which applied this invention to the MOS mold semiconductor device in order of a process. First, like drawing 2 (a), the front face of a silicon substrate 101 is heat-treated, and silicon oxide 111 is formed. Furthermore, the silicon nitride 112 is formed on it and spreading formation of the photoresist film 113 is carried out on it. And the photolithography technique using the photo mask outside drawing removes the photoresist film 113 of a component isolation region alternatively, and opening of the opening aperture 113a along a component isolation region is carried out. And like drawing 2 (b), said photoresist film 113 is used as a mask, said silicon nitride 112 and silicon oxide 111 are etched, and opening is formed for the opening apertures 112a and 111a. Subsequently, like drawing 2 (c), after removing said photoresist film 113, said silicon nitride 112 is used as a mask, selective etching of said silicon substrate 101 is carried out, and the isolation slot 102 is formed. A flute width sets this isolation slot 102 to 0.18 micrometers - 0.2 micrometers, and it sets the depth to about 0.3 micrometers. In addition, with the dimension of this slot 102, an aspect ratio serves as abbreviation 1.5.

[0016] In an appropriate top, said silicon substrate 101 is set in the CVD system with which TEOS gas is supplied like

drawing 3 (a). Drawing 6 is an example of a CVD system and equips the wafer holder 202 with the gas supply opening 204 which supplies TEOS gas within [silicon wafer 101 the vertical mold furnace 201 which contains W in the state of the closure, the heater 203 arranged around said vertical mold furnace, and said vertical mold furnace 201] two or more sheets by which alignment maintenance was carried out. And in said CVD system, while temperature carries out TEOS gas at 690 degrees C and a pressure carries out a gaseous-phase pyrolysis in a gaseous phase on condition that 0.22Torr(s), the 1st growth process which grows up the 1st TEOSNSG film 114 to be a silicon substrate 101 is performed. At this 1st growth process, though the part where it carries out that a foreign matter exists in the front face of a silicon substrate 101 etc., and those surface states differ on a front face part exists since the substrate dependency of the 1st TEOSNSG film is low as described above, uniform thickness grows all over a silicon substrate 101, without that being influenced. Moreover, it grows up to be the condition that a void is not generated in a slot 102 by controlling the thickness of the 1st TEOSNSG film 114 at this time proper, and grows up to be the condition of covering a foreign matter in the part in which the foreign matter on a silicon substrate 101 exists. Here, the thickness

of the 1st TEOSNSG film 114 is formed in the thickness of 100A - 500A. Although it is adjusted according to the condition of the foreign matter which exists in the front face of a silicon substrate 101, it is enough to cover the foreign matter on a silicon substrate 101, and equalize that surface state while it will grow up to be Mizouchi and will ease the aspect ratio of a slot 102, without the void by mutual contact of the TEOSNSG film in slot opening occurring [in a slot 102], if this thickness is generally made into about 200A thickness.

[0017] Subsequently, like drawing 3 (b), the conditioning of said CVD system is changed, temperature is set into 630 degrees C, a pressure is set to 2.0Torr(s), and the 2nd growth process which grows the 2nd TEOSNSG film 115 is performed. On this condition, TEOS gas does not decompose in a gaseous phase, but where the front face of a silicon substrate 101 is contacted, a surface pyrolysis advances, and the 2nd TEOSNSG film 115 grows. At this 2nd growth process, since the aspect ratio is eased with the 1st TEOSNSG film 114, the embedding of the 2nd TEOSNSG film 115 into a slot 102 of a slot 102 becomes possible, without a void occurring in a slot 102. Moreover, although the 2nd TEOSNSG film 115 has a high substrate dependency at one side, in order that the 1st TEOSNSG film 114 may exist in the front face of a silicon substrate 101 and the effect of a foreign

matter may lose with this 1st TEOSNSG film 114, the 2nd TEOSNSG film 115 grows up to be uniform thickness all over a silicon substrate 101. Thereby, while preventing generating of the void in a slot 102, growth of the 2nd TEOSNSG film 115 is attained all over a silicon substrate 101 at homogeneity. The thickness of said 2nd TEOSNSG film 115 is thickness required to embed the inside of a slot 102 by the 2nd TEOSNSG film 115, and is about 0.2 micrometers here. Moreover, since the film growth rate of this 2nd TEOSNSG film 115 is higher than the growth rate of the 1st TEOSNSG film 114, its throughput of film growth improves.

[0018] Subsequently, CMP polish is performed to the front face of said TEOSNSG film 115,114 like drawing 4 (a). This CMP polish is performed to the condition that said silicon nitride 112 is left behind in part. The 2nd on a silicon substrate 101 and the 1st TEOSNSG film 115,114 are removed by this CMP polish, and these TEOSNSG film 115,114 is left behind in the condition of having been embedded only in the slot 102. Moreover, since the TEOSNSG film 115,114 was formed in uniform thickness over the whole surface of a silicon substrate 101 at this time, etching polish of the silicon nitride 112 or silicon oxide 111 on the front face of a silicon substrate 101 is not locally carried out too much by CMP polish, either, and surface smoothness is held. Subsequently, after etching like

drawing 4 (b) so that it may be in a condition lower than the front face of silicon oxide 111 about the front face of the TEOSNSG film 115,114 by fluororic acid etc. if needed, etching removes the silicon nitride 112 on said silicon substrate 101, and etching removes silicon oxide 111 continuously. Thereby, like drawing 4 (c), in a component formation field, the front face of a silicon substrate 101 is exposed and the STI structure where abbreviation flattening of the front face with the TEOSNSG film 114,115 of a component isolation region was carried out is formed.

[0019] In an appropriate top, if drawing 5 is referred to, sequential formation of silicon oxide and the polycrystalline silicon film will be carried out on the front face of said silicon substrate 101, and it will etch alternatively with a photolithography technique, and gate dielectric film 121 and the gate electrode 122 will be formed. Subsequently, after carrying out the ion implantation of the impurity to a component formation field and forming the source drain field 123 in it, the interlayer insulation film of a laminated structure which consists of silicon oxide 124 and BPSG film 125 grade is formed in the whole surface, and opening of the contact hole 126 is carried out to this interlayer insulation film, and each electrode 127 of a source drain is formed, and an MOS transistor is formed.

[0020] Thus, in this invention, it is

making into elevated-temperature low voltage the growth conditions of the 1st TEOSNSG film 114 embedded in the slot 102 formed in the silicon substrate 101, and TEOS gas carries out gaseous-phase pyrolysis into the gaseous phase of a CVD system, and is formed at homogeneity on the silicon substrate 101 which includes the inside of a slot 102 as an insulator layer with a low substrate dependency. And by making into low-temperature high pressure the growth conditions of the 2nd TEOSNSG film 115 formed on it, when TEOS gas touched the front face of a silicon substrate 101, surface pyrolysis is carried out and it is formed on the silicon substrate 101 114, i.e., the 1st TEOSNSG film, which includes the inside of a slot 102 as an insulator layer with a high substrate dependency. For this reason, with the low substrate dependency of the 1st TEOSNSG film 114, even if the foreign matter etc. exists in the front face of a silicon substrate 101, uniform thickness grows all over a silicon substrate 101, without that being influenced. And the 2nd TEOSNSG film 115 on it grows up to be homogeneity with a growth rate high on the front face of a silicon substrate 101 with a high substrate dependency, and in that case, since the 1st TEOSNSG film 114 is already formed in a slot 102 at a certain amount of thickness and the aspect ratio of a slot 102 is eased (fall), the embedding of the 2nd TEOSNSG film 115 to

Mizouchi of it becomes possible, without a void occurring in a slot 102. Thereby, while preventing generating of the void in a slot 102, growth of the TOESNSG film 114,115 is attained all over a silicon substrate 101 at homogeneity. Therefore, also in a subsequent CMP process, property degradation and defect generating of an MOS transistor which etching polish of the front face of a silicon substrate 101 is not carried out too much partially, and are formed in a silicon substrate 101 are prevented.

[0021] It is desirable to set it as respectively suitable temperature and a respectively suitable pressure here so that membranous quality of the TEOSNSG film may not be degraded, and so that the growth rate of the TEOSNSG film may fall extremely and a throughput may not fall as described above although each growth temperature and pressure of the 1st growth process and the 2nd growth process can be set as arbitration within limits which fulfill the above mentioned temperature conditions. moreover, the thing of the value which the thickness of the each value in said operation gestalt, for example, dimension of slot, aspect ratio, 1st, and 2nd TEOSNSG film etc. shows an example, and changes with degrees of integration, component sizes, etc. of the semiconductor device to manufacture --
 ** -- it cannot be overemphasized that can carry out and it can form. Especially

the thing for which the 1st TEOSNSG film forms the thickness of the 1st TEOSNSG film thickly beyond the need since the membranous growth rate is low as compared with the 2nd TEOSNSG film is not desirable in respect of a throughput. Therefore, in case the 2nd TEOSNSG film is grown up based on the dimension of a slot, and relation with an aspect ratio, it is desirable to set it as thin thickness as much as possible in the range of the thickness which a void does not generate. [0022]

[Effect of the Invention] As explained above, this invention as a process for embedding an insulator layer at Mizouchi formed in the semi-conductor substrate Since the 1st growth process which grows the 1st insulator layer which carried out gaseous-phase pyrolysis of the TEOS gas, and the 2nd growth process which grows the 2nd insulator layer which carried out surface pyrolysis of the TEOS gas on the front face of a semi-conductor substrate are included Uniform thickness can be grown up all over Mizouchi and a semi-conductor substrate, without being influenced of the front face of a semi-conductor substrate with the low substrate dependency which the 1st insulator layer has. And the film growth with a growth rate high on the front face of a semi-conductor substrate is attained with the high substrate dependency which the aspect ratio of a slot is eased by this 1st insulator layer, and the 2nd

insulator layer has. And it becomes possible to embed an insulator layer, without producing a void in Mizouchi by relaxation of an aspect ratio. While manufacture of the semiconductor device of the STI structure which does not have generating of a void and was excellent in the isolation property by this is realizable, also in a subsequent production process, manufacture of the good semiconductor device of the yield in which etching polish of the front face of a semi-conductor substrate is not carried out too much partially, and the property was excellent is realizable.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the basic configuration of this invention.

[Drawing 2] It is the 1 of the production process sectional view of the operation gestalt of this invention.

[Drawing 3] It is the 2 of the production process sectional view of the operation gestalt of this invention.

[Drawing 4] It is the 3 of the production process sectional view of the operation gestalt of this invention.

[Drawing 5] It is the 4 of the production process sectional view of the operation gestalt of this invention.

[Drawing 6] It is the outline block diagram of the CVD system used with an operation gestalt by this invention.

[Drawing 7] It is the process sectional view showing an example of the conventional manufacture approach.

[Description of Notations]

101 Silicon Substrate

102 Slot (Isolation Slot)

111 Silicon Oxide

112 Silicon Nitride

113 Photoresist Film

114 1st TEOSNSG Film

115 2nd TEOSNSG Film

121 Gate Dielectric Film

122 Gate Electrode

123 Source Drain Field

124 Silicon Oxide

125 BPSG Film

126 Source Drain Electrode

201 Vertical Mold Furnace

203 Heater

204 Gas Supply Opening

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-200831

(P2000-200831A)

(43)公開日 平成12年7月18日(2000.7.18)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L	21/762	H 0 1 L 21/76	D 5 F 0 3 2
	21/31	21/31	B 5 F 0 4 5
	21/316	21/316	X 5 F 0 5 8
	21/76	21/76	L

審査請求 有 請求項の数9 F D (全 9 頁)

(21)出願番号 特願平10-377123

(22)出願日 平成10年12月30日(1998.12.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 安部 潤一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100081433

弁理士 鈴木 章夫

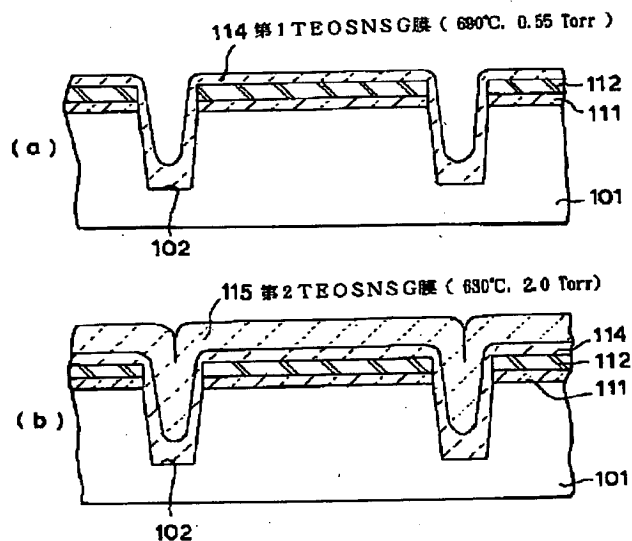
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体基板に形成した溝内へ絶縁膜を埋め込む際にボイドが発生せず、かつ半導体基板に形成する素子の特性劣化を防止することが可能なSTI構造の半導体装置の製造方法を提供する。

【解決手段】 半導体基板101の表面に溝102を形成し、その溝内にTEOSガスを分解して生成される絶縁膜を埋め込んでSTI構造を形成する製造方法において、絶縁膜の埋め込み工程として、TEOSガスを気相熱分解した第1のTEOSNSG膜114を成長する第1の成長工程と、TEOSガスを半導体基板101の表面で表面熱分解した第2のTEOSNSG膜115を成長する第2の成長工程とを含む。第1のTEOSNSG膜114で半導体基板101の表面状態に依存しない均一な膜を形成するとともに溝102のアスペクト比を緩和し、第2のTEOSNSG膜115で溝102内を埋め込むことで、ボイドが生じることなく高効率で絶縁膜を埋め込むことが可能となる。



(2)

【特許請求の範囲】

【請求項1】 半導体基板の表面に溝を形成する工程と、前記溝内にTEOS（テトラエトキシシラン）ガスを分解して生成される絶縁膜を埋め込む工程とを含む半導体装置の製造方法において、前記絶縁膜の埋め込み工程は、前記TEOSガスを気相熱分解した第1の絶縁膜を前記半導体基板上に成長する第1の成長工程と、前記TEOSガスを前記半導体基板の表面で表面熱分解した第2の絶縁膜を前記半導体基板上に成長する第2の成長工程とで構成されることを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の成長工程は、前記TEOSガスを気相熱分解温度以上の雰囲気で行い、前記第2の成長工程は前記TEOSガスを前記気相熱分解温度よりも低温の雰囲気で行う請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の成長工程を高温低圧気相成長法で行い、前記第2の成長工程を低温高圧気相成長法で行う請求項2に記載の半導体装置の製造方法。

【請求項4】 前記気相熱分解温度は、650℃～750℃である請求項2又は3に記載の半導体装置の製造方法。

【請求項5】 前記第1の成長工程は、650℃以上の温度範囲で気相熱分解成長を行い、前記第2の成長工程は580℃以上650℃未満の温度範囲で表面熱分解成長を行う請求項4に記載の半導体装置の製造方法。

【請求項6】 前記溝は、前記半導体基板に形成される半導体装置の素子分離領域に形成され、前記溝内に埋め込まれた前記絶縁膜によって溝型素子分離構造を形成する請求項1ないし5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記溝は、アスペクト比（溝深さ／溝幅）が1.5～3である請求項6に記載の半導体装置の製造方法。

【請求項8】 前記溝の深さは略0.3μm、溝幅は略0.2μmであり、前記第1の絶縁膜は0.01～0.05μmの膜厚に形成し、前記第2の絶縁膜は前記溝を完全に埋め込む膜厚に形成する請求項7に記載の半導体装置の製造方法。

【請求項9】 半導体基板にシリコン酸化膜、シリコン窒化膜を順次形成し、かつその上にレジストを形成する工程と、前記レジストをパターニングして素子分離領域に開口窓を開口する工程と、前記レジストの開口窓を透して前記シリコン窒化膜及びシリコン酸化膜をエッチング除去する工程と、前記レジストを除去した後、前記シリコン窒化膜をマスクにして前記半導体基板に溝を形成する工程と、TEOSガスを高温低圧条件で気相熱分解し、得られる第1のTEOSNSG（NSG：ノンドープシリケートガラス）膜を前記半導体基板の表面に薄く成長する第1の成長工程と、前記TEOSガスを低温高

圧条件で前記半導体基板の表面で表面熱分解して得られる第2のTEOSNSG膜を前記溝の深さよりも厚い膜厚となるように前記第1のTEOSNSG膜の表面上に成長する第2の成長工程と、前記シリコン基板の表面上の前記第2及び第1のTEOSNSG膜を化学機械的に研磨して除去し、前記溝内にのみ前記第1及び第2のTEOSNSG膜を残す工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体基板に形成した溝に絶縁膜を埋め込んで素子分離を行う溝埋込素子分離型半導体装置に関し、特に半導体装置の高集積化に伴う浅くかつ微小幅の素子分離用溝内への絶縁膜の埋め込みを好適に行う方法に関するものである。

【0002】

【従来の技術】半導体装置の高集積化及び半導体素子の微細化に伴い、半導体基板に形成される素子間を絶縁分離するための素子分離構造として、従来のLOCOS型素子分離構造から、半導体基板に溝を形成し、この溝内に絶縁膜を埋め込む溝型素子分離構造が採用されている。特に、近年では、素子のさらなる微細化がはかられており、この微細化に伴って溝型素子分離構造においても、その溝幅の縮小とともに溝深さが低減されている。例えば、溝幅が0.2μmで溝深さが0.3μm程度の浅溝埋込素子分離（STI：Shallow Trench Isolation）構造の実用化が図られている。このような浅溝埋込素子構造の製造方法を、図7を参照して説明する。

【0003】先ず、図7（a）のように、シリコン基板101の表面に熱酸化によりシリコン酸化膜111を形成し、さらにその上にシリコン窒化膜112を形成し、その上にフォトリソ膜113を形成する。そして、素子分離領域の前記フォトリソ膜を選択的に除去して開口窓113aを開口する。次いで、前記フォトリソ膜をマスクにして前記シリコン窒化膜112及びシリコン酸化膜111をエッチングしてそれぞれ開口窓112a、111aを開口する。そして、前記フォトリソ膜113を除去した後、図7（b）のように、前記シリコン窒化膜112をマスクとして前記シリコン基板101の表面を所要の深さにまでエッチングし、微細かつ浅い素子分離用の溝102を形成する。次いで、図7（c）のように、低圧気相成長法（LPCVD法）によってTEOS（テトラエトキシシラン）を分解して得られるシリコン酸化膜（以下、TEOSNSG膜と称する（NSG：ノンドープシリケートガラス））131を前記シリコン基板101の表面上に成長し、このTEOSNSG膜131によって前記溝102を埋め込む。前記TEOSNSG膜131は、膜の前駆体の表面移動（表面マイグレーション）が大きく、比較的良好なステップカバレージが得られるため、溝102内に埋め込む場合

(3)

3

には有効である。しかる上で、図7 (d) のように、化学機械研磨法 (CMP法) によって前記TEOSNSG膜131及びシリコン窒化膜112の一部をエッチング研磨して除去、さらに残されたシリコン窒化膜112とシリコン酸化膜111をエッチング除去する。これにより、前記TEOSNSG膜131は前記溝102内のみ埋め込まれた状態で残され、STI構造が形成される。

【0004】ところで、このようなSTI構造の製造において、素子の微細化に伴って溝102の幅寸法が低減され、かつこれに伴い溝102のアスペクト比 (深さ/溝幅) が増大されると、図7 (c), (d) に破線で示すように、埋め込まれたTEOSNSG膜中にボイド (空隙) 132が発生してしまう。このようなボイドが発生すると、後工程での処理液等がボイド132内に侵入して半導体装置の汚染原因となり、あるいは素子分離特性が劣化される。このようなボイドの発生を防止するために、例えば特開平10-178000号公報では、TEOSガスとオゾンガスとの混合化を行ってシリコン酸化膜を成長する際に、TEOSガスとオゾンガスの供給位置を離しておき、反応室の気相中でのTEOSガスとオゾンガスとの混合化を抑制し、基板の表面上でTEOSガスとオゾンガスとを混合化を促進させることで、TEOS膜のフロー特性を高くでき、溝内へのシリコン酸化膜の充填性を改善し、ボイドの発生を抑制している。

【0005】

【発明が解決しようとする課題】この公報に記載の技術では、TEOSガスとオゾンガスとを混合化してシリコン酸化膜を成長する場合には有効であるが、図7に示した製造方法のように、TEOSガスを分解して得られるTEOSNSG膜をシリコン基板上に成長する場合には、オゾンガスが存在していないために公報の技術をそのまま適用することはできない。また、公報に記載の技術では、TEOSガスとオゾンガスとを基板の表面、すなわち溝の内面において混合化しているため、半導体装置の微細化に伴って溝のアスペクト比が大きくなると、TEOSガスとオゾンガスとを混合化させることなく両ガスを溝内にまで進入させることが困難であり、そのため溝の開口近傍で混合化が発生し、結果として気相中の混合化と同様にフロー特性の低いシリコン酸化膜が形成されてしまい、ボイドを有効に防止することが難しいものとなる。

【0006】本発明の目的は、溝内へ埋め込むシリコン酸化膜におけるボイドの発生を有効に防止するとともに、半導体基板に形成する素子の特性劣化を防止することが可能なSTI構造の半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明は、半導体基板の

4

表面に溝を形成する工程と、前記溝内にTEOSガスを分解して生成される絶縁膜を埋め込む工程とを含む半導体装置の製造方法において、前記絶縁膜の埋め込み工程は、前記TEOSガスを気相熱分解した第1の絶縁膜を前記半導体基板上に成長する第1の成長工程と、前記TEOSガスを前記半導体基板の表面で表面熱分解した第2の絶縁膜を前記半導体基板上に成長する第2の成長工程とで構成されることを特徴としている。ここで、前記第1の成長工程は、前記TEOSガスを気相熱分解温度以上の雰囲気で行い、前記第2の成長工程は前記TEOSガスを前記気相熱分解温度よりも低温の雰囲気で行う。すなわち、前記第1の成長工程を高温低圧気相成長法で行い、前記第2の成長工程を低温高圧気相成長法で行う。ここで、前記気相熱分解温度は650℃～750℃であり、この場合には、前記第1の成長工程は、650℃以上の温度範囲で気相熱分解成長を行い、前記第2の成長工程は580℃以上650℃未満の温度範囲で表面熱成長を行う。

【0008】また、本発明の製造方法において、前記溝は、前記半導体基板に形成される半導体装置の素子分離領域に形成され、前記溝内に埋め込まれた前記絶縁膜によって溝型素子分離構造を形成するものとして構成される。この場合、前記溝は、アスペクト比 (溝深さ/溝幅) が1.5～3であることが好ましい。例えば、前記溝の深さは略0.3μm、溝幅は略0.2μmであり、前記第1の絶縁膜は0.01～0.05μmの膜厚に形成し、前記第2の絶縁膜は前記溝を完全に埋め込む膜厚に形成する。

【0009】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1を参照すると、本発明者がTEOSガスをCVD装置内において分解してシリコン基板101の溝102内にシリコン酸化膜103を埋め込む際に、そのCVD条件を変化させて成長を行った。すなわち、TEOSガスをCVD装置内において分解する場合に、CVD条件を、TEOSガスの気相熱分解温度よりも高い温度でかつ低圧で成長を行った。ここでは、CVD装置の温度を690℃、圧力を0.55 Torrとした。このように高温でのCVDを行うと、CVD装置内でTEOSガスは気相熱分解してシリコン基板上に成長する。このため、シリコン基板の表面状態の影響が少ない状態での成長、すなわち下地依存性の低い状態でTEOSNSG膜が成長される。この条件で、シリコン基板101に形成した溝にシリコン酸化膜の埋め込みを行ったところ、図1 (a) に示すように、シリコン基板101の表面に均一にTEOSNSG膜103が成長したが、溝102のアスペクト比が高くなると、溝102の開口部の対向縁部に成長したTEOSNSG膜103が相互に接触してしまい、溝102内にボイド104が発生した状態となる。

(4)

5

【0010】一方、CVD条件を、TEOSガスの気相熱分解温度よりも低い温度でかつ高压で成長を行った。ここでは、CVD装置の温度を630℃、圧力を2.0 Torrとした。このように低温でのCVDを行うと、CVD装置内でTEOSガスはシリコン基板の表面に接触した際に表面熱分解してシリコン基板上に成長する。このため、シリコン基板の表面状態の影響が大きい状態での成長、すなわち下地依存性の高い状態でTEOSNSG膜が成長される。この条件で、シリコン基板101に形成した溝102にシリコン酸化膜の埋め込みを行ったところ、図1(b)に示すように、溝102のアスペクト比が高くなった場合でも、TEOSガスが溝の内面に接触したときにTEOSNSG膜103が成長されるため、溝102内にボイドが発生することなく好適な埋め込みが可能となる。

【0011】しかしながら、この条件では下地依存性が高いため、図1(c)に示すように、ウェハ状のシリコン基板101Wのように広い面積のシリコン基板に対して前記条件でのTEOSNSG膜の成長を行った場合には、シリコン基板の表面に存在する異物X等によって、その領域でのTEOSNSG膜103の成長が抑制されたスポット状の膜厚むら105が生じ、シリコン基板101Wの全面に均一な厚さのTEOSNSG膜103を成長することができないことが確認された。これは、TEOSNSG膜の成長初期には、成長の進行が進まないいわゆるインキュベーションタイムが発生する。このインキュベーションタイム中に原子核が形成されるが、下地の表面状態の微妙な違いによりインキュベーションタイムが非常に不安定になり、これがウェハ状シリコン基板101Wの表面上での局所的な膜厚の違いとなって現れるものと考えられる。このような、TEOSNSG膜の膜厚が不均一になると、後工程のCMP法でのエッチング研磨において、膜厚の薄い領域においてシリコン基板の表面が過度にエッチング研磨されることになり、その領域に後工程で形成する半導体素子の特性の劣化、あるいは半導体素子の不良が発生する要因となる。

【0012】そこで、本発明においては、溝内に埋め込む絶縁膜の第1の成長工程として、TEOSガスがCVD装置の気相中において気相熱分解する条件、すなわち下地依存性の低い成長条件でシリコン基板上にTEOSNSG膜をある程度の膜厚まで成長し、次いで、第2の成長工程として、その上にTEOSガスが基板の表面に接したことにより表面熱分解する条件、すなわち下地依存性の高い条件でTEOSNSG膜を重畳して成長する。このように本発明では、溝内に埋め込む絶縁膜の第1の成長工程では、下地依存性が低いために、ウェハ状シリコン基板の表面一部に異物が存在する等して、表面状態が異なる部位が存在していたとしても、その影響を受けることなくウェハ状シリコン基板の全面に均一な膜厚が成長される。また、このときのTEOSNSG膜の

6

成長膜厚を適正に制御することで、溝内においてはボイドが発生されることがない状態で成長され、溝のアスペクト比を緩和する。また、ウェハ状シリコン基板の異物が存在する部分では異物を覆い隠す状態に成長される。ただし、この第1の成長工程では膜成長速度が低く抑えられるため、この第1の成長工程のみでは膜成長のスループットが低くなる。

【0013】そして、第2の成長工程では、下地依存性が高いために、シリコン基板の表面上に均一にTEOSNSG膜が成長され、その際には既に溝内には第1の成長工程のTEOSNSG膜がある程度の膜厚で成長されているため、溝のアスペクト比が緩和された状態にあり、溝内にボイドが発生することなく溝内へのTEOSNSG膜の埋め込みが可能となる。その一方でウェハ状シリコン基板の表面には第1の成長工程で成長されたTEOSNSG膜が存在しており、このTEOSNSG膜によって異物の影響が緩和されているため、シリコン基板の全面に均一な厚さにTEOSNSG膜が成長される。これにより、溝内でのボイドの発生を防止するとともに、シリコン基板の全面に均一にTEOSNSG膜の成長が可能となる。そのため、その後のCMP工程においても、シリコン基板の表面が部分的に過度にエッチング研磨されることがなく、半導体素子の特性劣化や不良発生が防止される。また、第2の成長工程では膜成長速度を高くすることが可能であり、膜成長のスループットが向上できる。

【0014】ここで、TEOSガスが気相熱分解する温度は、一般的には650℃～750℃の範囲であり、第1の工程は650℃以上の温度で行い、第2の工程は650℃よりも低温で行う。また、第1の工程及び第2の工程における各圧力の上限は、TEOSNSG膜の膜質を劣化させることがない圧力であり、また、各圧力の下限はTEOSNSG膜の成長速度が極端に低下されることがない圧力である。

【0015】図2ないし図4は本発明をMOS型半導体装置に適用した実施形態を工程順に示す断面図である。先ず、図2(a)のように、シリコン基板101の表面を熱処理してシリコン酸化膜111を形成する。さらに、その上にシリコン窒化膜112を形成し、その上にフォトレジスト膜113を塗布形成する。そして、図外のフォトリソグラフィ技術により素子分離領域のフォトレジスト膜113を選択的に除去し、素子分離領域に沿った開口窓113aを開く。そして、図2(b)のように、前記フォトレジスト膜113をマスクにして前記シリコン窒化膜112及びシリコン酸化膜111をエッチングし、開口窓112a、111aを開口を形成する。次いで、図2(c)のように、前記フォトレジスト膜113を除去した後、前記シリコン窒化膜112をマスクにして前記シリコン基板101を選択エッチングし、素子分離溝102を形成す

(5)

7

る。この素子分離溝102は、溝幅が $0.18\mu\text{m}$ ～ $0.2\mu\text{m}$ とし、深さは $0.3\mu\text{m}$ 程度とする。なお、この溝102の寸法では、アスペクト比は略1.5となる。

【0016】しかる上で、図3(a)のように、前記シリコン基板101をTEOSガスが供給されるCVD装置にセットする。図6はCVD装置の一例であり、ウェハホルダ202に整列保持された複数枚のシリコンウェハ101Wを封止状態で収納する縦型炉201と、前記縦型炉の周囲に配置されるヒータ203と、前記縦型炉201内にTEOSガスを供給するガス供給口204とを備えている。そして、前記CVD装置において、温度が 690°C 、圧力が 0.22Torr の条件でTEOSガスを気相中で気相熱分解させながらシリコン基板101に第1のTEOSNSG膜114を成長する第1の成長工程を行う。この第1の成長工程では、前記したように第1のTEOSNSG膜の下地依存性が低いために、シリコン基板101の表面に異物が存在する等して表面一部にその表面状態が異なる部位が存在していたとしても、その影響を受けることなくシリコン基板101の全面に均一な膜厚が成長される。また、このときの第1のTEOSNSG膜114の膜厚を適正に制御することで、溝102内においてはボイドが発生されることがない状態に成長され、シリコン基板101上の異物が存在する部分では異物を覆い隠す状態に成長される。ここでは、第1のTEOSNSG膜114の膜厚は、 100\AA ～ 500\AA の厚さに形成する。この膜厚はシリコン基板101の表面に存在する異物の状態によって調整されるが、一般的には 200\AA 程度の膜厚にすれば、溝102内において溝開口部でのTEOSNSG膜の相互の接触によるボイドが発生することなく溝内に成長され、かつ溝102のアスペクト比を緩和するとともに、シリコン基板101上の異物を覆い隠してその表面状態を均一化するのに十分である。

【0017】次いで、図3(b)のように、前記CVD装置の条件設定を変化し、温度を 630°C 、圧力を 2.0Torr とし、第2のTEOSNSG膜115を成長する第2の成長工程を行う。この条件では、TEOSガスは気相中では分解せず、シリコン基板101の表面に接触した状態で表面熱分解が進行され、第2のTEOSNSG膜115が成長される。この第2の成長工程では、溝102は第1のTEOSNSG膜114によってアスペクト比が緩和されているため、溝102内にボイドが発生することなく溝102内への第2のTEOSNSG膜115の埋め込みが可能となる。また、一方で第2のTEOSNSG膜115は下地依存性が高いが、シリコン基板101の表面には第1のTEOSNSG膜114が存在しており、この第1のTEOSNSG膜114によって異物の影響が無くされるため、シリコン基板101の全面に均一な厚さに第2のTEOSNSG膜1

8

15が成長される。これにより、溝102内でのボイドの発生を防止するとともに、シリコン基板101の全面に均一に第2のTEOSNSG膜115の成長が可能となる。ここで、前記第2のTEOSNSG膜115の膜厚は、溝102内を第2のTEOSNSG膜115で埋め込むに必要な厚さであり、ここでは $0.2\mu\text{m}$ 程度である。また、この第2のTEOSNSG膜115の膜成長速度は第1のTEOSNSG膜114の成長速度よりも高いため、膜成長のスループットが向上される。

【0018】次いで、図4(a)のように、前記TEOSNSG膜115、114の表面に対してCMP研磨を行う。このCMP研磨は、前記シリコン窒化膜112の一部残される状態まで行う。このCMP研磨により、シリコン基板101上の第2及び第1のTEOSNSG膜115、114は除去され、これらのTEOSNSG膜115、114は溝102内のみ埋め込まれた状態で残される。また、このとき、TEOSNSG膜115、114はシリコン基板101の全面にわたって均一な膜厚に形成されていたため、CMP研磨によっても、シリコン基板101の表面上のシリコン窒化膜112やシリコン酸化膜111が局部的に過度にエッチング研磨されることがなく、平坦性が保持される。次いで、図4

(b)のように、必要に応じて弗酸等によってTEOSNSG膜115、114の表面をシリコン酸化膜111の表面よりも低い状態となるようにエッチングした上で、前記シリコン基板101上のシリコン窒化膜112をエッチングにより除去し、続いてシリコン酸化膜111をエッチングにより除去する。これにより、図4

(c)のように、素子形成領域ではシリコン基板101の表面が露呈され、素子分離領域のTEOSNSG膜114、115との表面が略平坦化されたSTI構造が形成される。

【0019】しかる上で、図5を参照すると、前記シリコン基板101の表面上にシリコン酸化膜と多結晶シリコン膜を順次形成し、かつフォトリソグラフィ技術により選択的にエッチングしてゲート絶縁膜121とゲート電極122を形成する。次いで、素子形成領域に不純物をイオン注入してソース・ドレイン領域123を形成した後、全面にシリコン酸化膜124、BPSG膜125等からなる積層構造の層間絶縁膜を形成し、この層間絶縁膜にコンタクトホール126を開孔し、かつソース・ドレインの各電極127を形成してMOSトランジスタを形成する。

【0020】このように、本発明においては、シリコン基板101に形成した溝102内に埋め込む第1のTEOSNSG膜114の成長条件を高温低圧とすることで、TEOSガスがCVD装置の気相中において気相熱分解し、下地依存性の低い絶縁膜として溝102内を含むシリコン基板101上に均一に形成される。そして、その上に形成する第2のTEOSNSG膜115の成長

(6)

9

条件を低温高圧とすることで、TEOSガスがシリコン基板101の表面に接したことにより表面熱分解し、下地依存性の高い絶縁膜として溝102内を含むシリコン基板101上、すなわち第1のTEOSNSG膜114上に形成される。このため、第1のTEOSNSG膜114の低い下地依存性によって、シリコン基板101の表面に異物等が存在していても、その影響を受けることなくシリコン基板101の全面に均一な膜厚が成長される。そして、その上の第2のTEOSNSG膜115は、高い下地依存性によってシリコン基板101の表面上に高い成長速度で均一に成長され、その際には、既に溝102内には第1TEOSNSG膜114がある程度の膜厚に形成されて溝102のアスペクト比が緩和（低下）されているため、溝102内にボイドが発生することなく溝内への第2のTEOSNSG膜115の埋め込みが可能となる。これにより、溝102内でのボイドの発生を防止するとともに、シリコン基板101の全面に均一にTEOSNSG膜114、115の成長が可能となる。そのため、その後のCMP工程においても、シリコン基板101の表面が部分的に過度にエッチング研磨されることがなく、シリコン基板101に形成されるMOSトランジスタの特性劣化や不良発生が防止される。

【0021】ここで、第1の成長工程及び第2の成長工程のそれぞれの成長温度と圧力は、前記した温度条件を満たす範囲内で任意に設定できるが、前記したように、TEOSNSG膜の膜質を劣化させることがないように、かつTEOSNSG膜の成長速度が極端に低下されてスループットが低下されないように、それぞれ適切な温度と圧力に設定することが好ましい。また、前記実施形態におけるそれぞれの値、例えば、溝の寸法及びアスペクト比、第1及び第2のTEOSNSG膜の膜厚等は一例を示したものであり、製造する半導体装置の集積度や素子サイズ等によって異なる値のものとして形成可能であることは言うまでもない。特に、第1のTEOSNSG膜は第2のTEOSNSG膜に比較して膜の成長速度が低いため、第1のTEOSNSG膜の膜厚を必要以上に厚く形成することは、スループットの面で好ましくない。したがって、溝の寸法及びアスペクト比との関係に基づき、第2のTEOSNSG膜を成長する際にボイドが発生することがない膜厚の範囲で極力薄い膜厚に設定することが好ましい。

【0022】

【発明の効果】以上説明したように本発明は、半導体基板に形成された溝内に絶縁膜を埋め込むための工程として、TEOSガスを気相熱分解した第1の絶縁膜を成長する第1の成長工程と、TEOSガスを半導体基板の表

10

面で表面熱分解した第2の絶縁膜を成長する第2の成長工程を含んでいるので、第1の絶縁膜が有する低い下地依存性によって半導体基板の表面の影響を受けることなく溝内及び半導体基板の全面に均一な膜厚が成長でき、かつこの第1の絶縁膜によって溝のアスペクト比が緩和され、また第2の絶縁膜が有する高い下地依存性によって半導体基板の表面上に高い成長速度での膜成長が可能となり、しかもアスペクト比の緩和によって溝内にボイドを生じることなく絶縁膜を埋め込むことが可能となる。これにより、ボイドの発生がなく素子分離特性に優れたSTI構造の半導体装置の製造が実現できるとともに、その後の製造工程においても、半導体基板の表面が部分的に過度にエッチング研磨されることがなく、特性が優れた歩留りのよい半導体装置の製造が実現できる。

【図面の簡単な説明】

【図1】本発明の基本構成を説明するための図である。

【図2】本発明の実施形態の製造工程断面図のその一である。

【図3】本発明の実施形態の製造工程断面図のその二である。

【図4】本発明の実施形態の製造工程断面図のその三である。

【図5】本発明の実施形態の製造工程断面図のその四である。

【図6】本発明で実施形態で使用するCVD装置の概略構成図である。

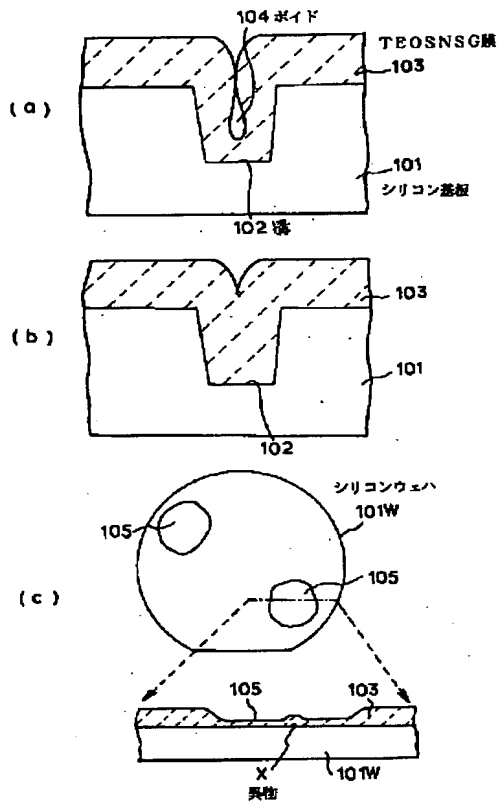
【図7】従来の製造方法の一例を示す工程断面図である。

【符号の説明】

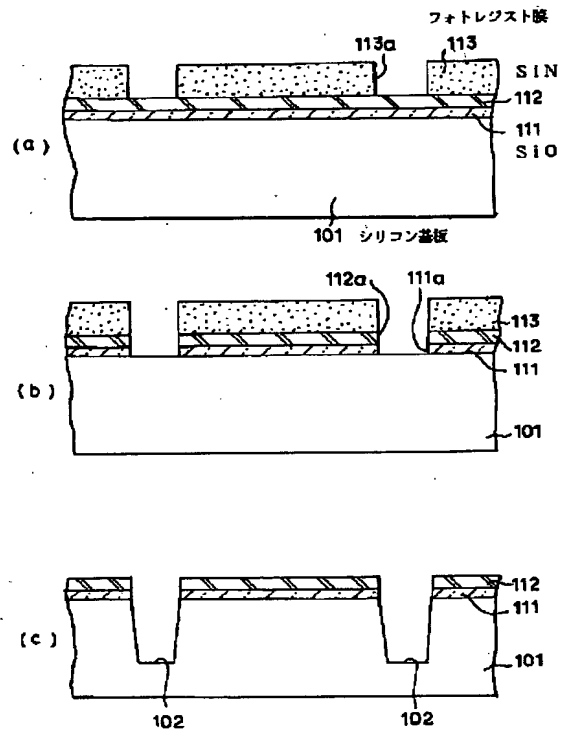
- 101 シリコン基板
- 102 溝（素子分離溝）
- 111 シリコン酸化膜
- 112 シリコン窒化膜
- 113 フォトリソグ膜
- 114 第1のTEOSNSG膜
- 115 第2のTEOSNSG膜
- 121 ゲート絶縁膜
- 122 ゲート電極
- 123 ソース・ドレイン領域
- 124 シリコン酸化膜
- 125 BPSG膜
- 126 ソース・ドレイン電極
- 201 縦型炉
- 203 ヒータ
- 204 ガス供給口

(7)

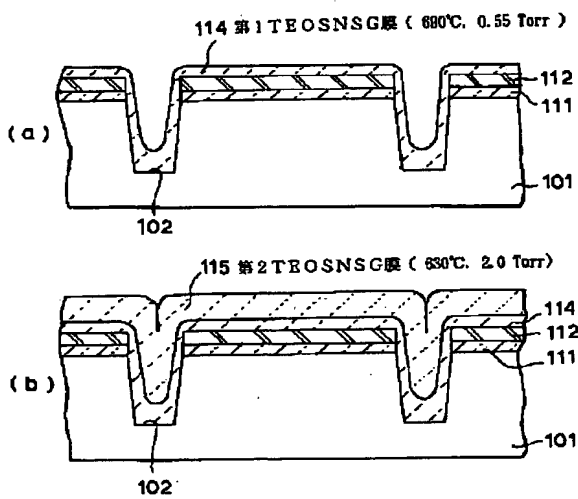
【図1】



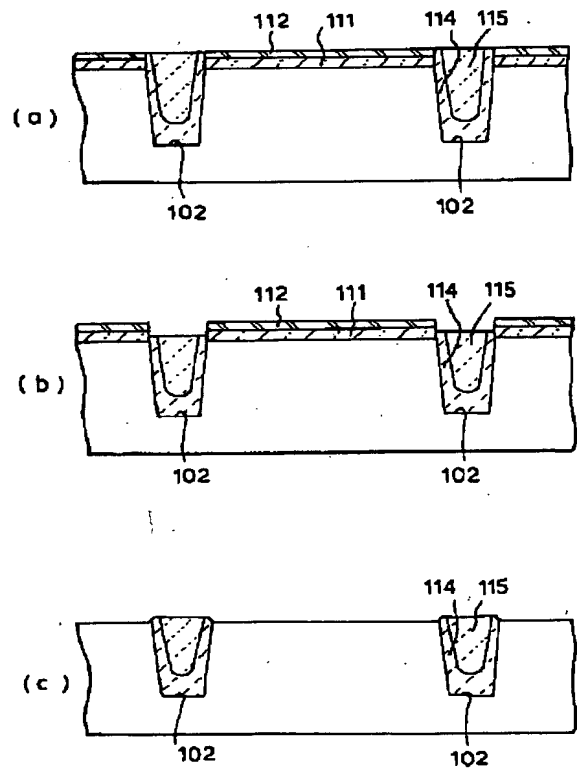
【図2】



【図3】

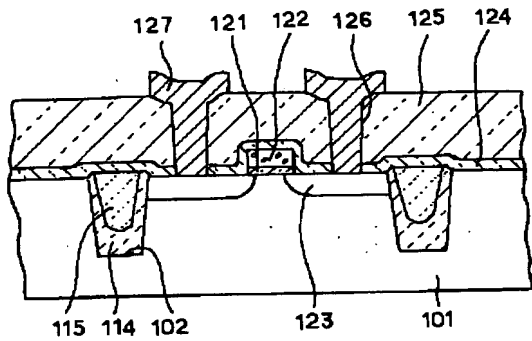


【図4】



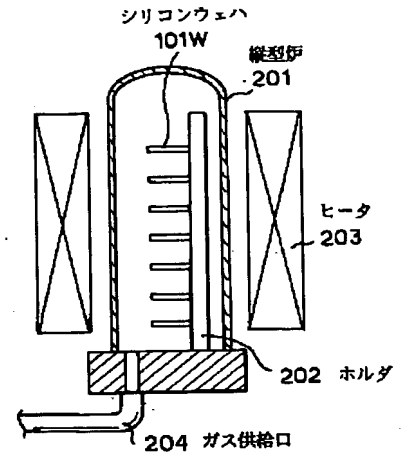
(8)

【図5】

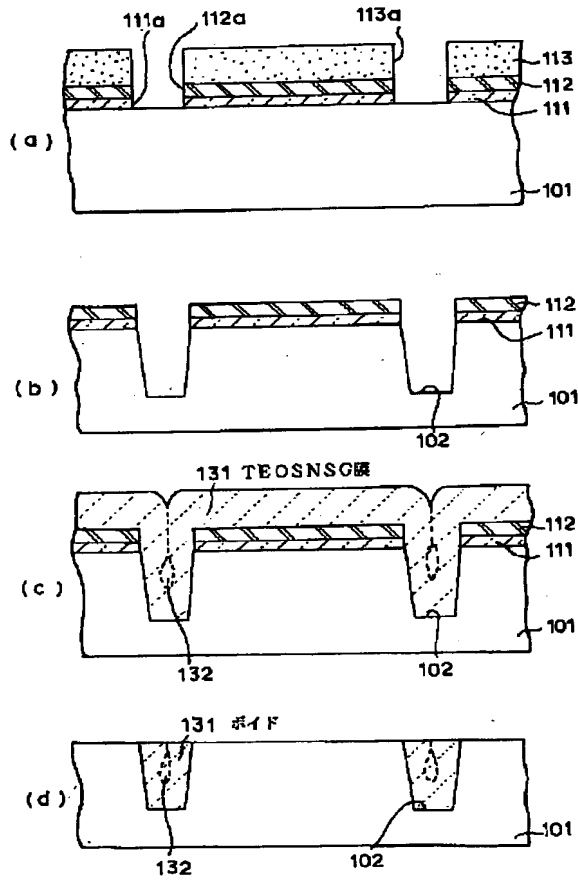


- 101: シリコン基板
- 102: シリコン酸窒化膜
- 111: 第1層TEOSNSG膜
- 112: 第2層TEOSNSG膜
- 113: ゲート絶縁膜
- 121: ゲート電極
- 122: ソース・ドレイン領域
- 123: シリコン酸化膜
- 124: BPSG膜
- 125: コントラクトホール
- 126: ソース・ドレイン電極
- 127: ソース・ドレイン電極

【図6】



【図7】



(9)

フロントページの続き

Fターム(参考) 5F032 AA34 AA44 AA70 CA17 DA02
DA33 DA53 DA78
5F045 AA03 AA06 AB31 AB32 AB33
AC07 AD09 AD10 AD11 AE19
AE21 AF03 CA05 GH10
5F058 BA20 BD01 BD07 BF02 BF04
BF27 BJ06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.